COMPITO di ARCHITETTURA DEI CALCOLATORI del 24-09-2024

MATRICOLA ____________

COGNOME ____________

NOME ____________

DA RESTITUIRE INSIEME AGLI ELABORATI e A TUTTI I FOGLI
→ NON USARE FOGLI NON TIMBRATI
→ ANDARE IN BAGNO PRIMA DELL'INIZIO DELLA PROVA
→ NO FOGLI PERSONALI, NO TELEFONI, SMARTPHONE/WATCH, ETC

NOTA: dovrà essere consegnato l'elaborato dell'es.1 come file **<COGNOME>.s** e quelli dell'es. 4 come files **<COGNOME>.v** e **<COGNOME>.png**

1) [8/30] Trovare il codice assembly RISC-V corrispondente al seguente micro-benchmark (**utilizzando solo e unicamente istruzioni dalla tabella sottostante**), rispettando le convenzioni di uso dei registri dell'assembly (riportate qua sotto, per riferimento).

```
float calculate_pi(int intervals) {
    int i;
    float pi = 0.0;
    int sign = 1;

    for (i = 0; i < intervals; i++) {
        pi += sign * (4.0f / (2.0f * i + 1.0f));
        sign = -sign;  // Alternate signs
    }

    return pi;
}
```

Nota: 'int' è un intero a 64 bit.

```
int main() {
    int intervals = 1000;
    float calculated_pi = calculate_pi(intervals);
    print_string("PI = ");
    print_float(calculated_pi);
printf("\n%.7f\n",calculated_pi);
    return 0;
}
```

RISCV Instructions (RV64IMFD) v230703

Instruction coding (hexadecimal) funct7/imm	funct3	opcode	Instruction	Example	Register operation	Meaning (** instructions available only in RV64, i.e. 64-bit case)
00	0	33/3b	add	`add/addw x5,x6,x7`	x5 ← x6 + x7	Add two operands; exception possible (addw**)
20	0	33/3b	subtract	`sub/subw x5,x6,x7`	x5 ← x6 – x7	Subtracts two operands; exception possible (subw**)
imm	0	13/1b	add immediate	`addi/addiw x5,x6,100`	x5 ← x6 + 100	Add a constant ; exception possible (addiw**)
01	0	33/3b	multiply	`mul/mulw x5,x6, x7`	x5 ← x6 * x7	(signed/word) Lower 64 bits of 128-bits product (mulw**)
01	1	33	multiply high	`mulh x5,x6,x7`	x5 ← x6 * x7	Higher 64bits of 128-bits product
01	4	33/3b	division	`div/divw x5,x6,x7`	x5 ← x6/x7	(signed/word) division (divw**)
01	6	33/3b	reminder	`rem/remw x5,x6,x7`	x5 ← x6 % x7	Reminder of the division (remw**)
00	2/3	33	set on less than	`slt/sltu x5,x6,x7`	if (x6 < x7) x5 ← 1; else x5 ← 0	signed compare x6 and x7 (less than)
imm	2/3	13	set on less than immediate	`slti/sltiu x5,x6,100`	if (x6 < 100) x5← 1; else x5 ← 0	unsigned compare x6 and 100 (less than)
00	7/6/4	33	and / or / xor	`and/or/xor x5,x6,x7`	x5← x6&x7 / x6|x7 / x6^ x7	Logical AND/OR/XOR register operand
imm	7/6/4	13	and /or / xor immediate	`andi/ori/xori x5,x6,100`	x5 ← x6&100 / x6|100 / x6^100	Logical AND/OR/XOR constant operand
0	1	33/3b	shift left logical	`sll/sllw x5,x6,x7`	x5 ← x6 << x7	Shift left by register (sllw**)
imm	1	13/1b	shift left logical immediate	`slli/slliw x5,x6,10`	x5 ← x6 << 10	Shift left by the immediate value (slliw**)
0	5	33/3b	shift right logical	`srl/srlw x5,x6,x7`	x5 ← x6 >> x7	Shift right by register (srlw**)
imm	5	13/1b	shift right logical immediate	`srli/srliw x5,x6,10`	x5 ← x6 >> 10	Shift left by immediate value (srliw**)
20	5	33/3b	shift right arithmetic	`sra/sraw x5,x6,x7`	x5 ← x6 >> x7 (arith.)	Shift right by register (sign is preserved) (sraw**)
imm	5	13/1b	shift right arithmetic immediate	`srai/sraiw x5,x6,10`	x5 ← x6 >> 10 (arith.)	Shift right by immediate value (sraiw**)
imm	3/2/0	03	load dword / word / byte	`ld/lw/lb x5,100(x6)`	x5 ← MEM[x6+100]	Data from memory to register
imm	6/4	03	load word / byte unsigned	`lwu/lbu x5,100(x6)`	x5 ← MEM[x6+100]	Data from mem. To reg.; no sign extension (lwu**)
imm	3/2	23	store dword / word / byte	`sd/sw/sb x5,100(x6)`	MEM[x6+100] ← x5	Data from register to memory (sw**)
imm[31:12]	-	37	load upper immediate	`lui x5,0x12345`	x5 ← 0x1234'5000	Load most significant 20 bits
PSEUDOINSTRUCTION			load address	`la x5,var`	x5 ← &var **(PSEUDO INST.)** load address of 'var' in x5	`REAL: lui x5,H20(&var);ori x5, L12(&var)` `INST.` (H20=high 20 bits of &var; L12=low 12 bits of &var)
imm[31:12] (rd=0) imm[11:0] (rs1=rs2=0)	- 0	6f/63	jump/branch	`j/b label`	PC+=off (off=PC-&label) **(PS.INST.)**	`REAL INST.: jal x0,offset/beq x0,x0,offset`
imm[31:12] (rd=1)	-	6f	jump and link (offset)	`jal label`	x1←(PC+4); PC+=offset **(PS. INST.)**	`REAL INST.: jal x1,offset` (offset=PC-&label)
Imm (rd=0,rs=1)	0	67	return from procedure	`ret`	PC←x1 **(PSEUDO INST.)**	`REAL INST.: jalr x0,0(x1)`
imm	0	67	jump and link register	`jalr x1, 100(x5)`	x1 ← (PC + 4); PC=x5+100	Procedure return; indirect call
imm÷2	0/1	63	branch on equal / not-equal	`beq/bne x5,x6,100`	if (x5 = =/!= x6) PC=PC+100	Equal / Not-equal test; PC relative branch
00 (rs1=0,rs2=0,rd=0)	0	73	ecall	`ecall`	SEPC←PC;PC←STVEC;save PL/IE;PL=1;IE=0	Call OS (service number in a7); PL= privilege lev; IE=int.en.
08 (rs1=0,rs2=2,rd=0)	0	73	sret	`sret`	PC←SEPC; restore PL/IE	Exit supervisor mode; PL= privilege lev; IE=int.en.
PSEUDOINSTRUCTION			move	`mv x5,x6`	x5 ← x6 **(PSEUDO INST.)**	`REAL INST.: add x5,x0,x6`
PSEUDOINSTRUCTION			load immediate	`li x5,100`	x5 ← 100 **(PSEUDO INST.)**	`REAL INST.: addi x5,x0,100`
PSEUDOINSTRUCTION			no operation (nop)	`nop`	do nothing **(PSEUDO INST.)**	`REAL INST.: addi x0,x0,0`
{0,1} / {4,5}	0	53	floating point add/sub	`fadd/fsub.{s,d} f0,f1,f2`	f0←f1+f2 / f0←f1-f2	Single or double precision add / subtract
{8,9} / {c,d}	0	53	floating point multiplication/division	`fmul/fdiv.{s,d} f0,f1,f2`	f0←f1*f2 / f0←f1/f2	Single or double precision multiplication / division
PSEUDOINSTRUCTION			floating point move between f-regs	`fmv.{s,d} f0,f1`	f0←f1 **(PSEUDO INST.)**	`REAL INST.: fsgnj.{s,d} f0,f1,f1`
PSEUDOINSTRUCTION			floating point negate	`fneg.{s,d} f0,f1`	f0← – (f1) **(PSEUDO INST.)**	`REAL INST.: fsgnjn.{s,d} f0,f1,f1`
PSEUDOINSTRUCTION			floating point absolute value	`fabs.{s,d} f0,f1`	f0← | f1 | **(PSEUDO INST.)**	`REAL INST.: fsgnjx.{s,d} f0,f1,f1`
{50,51}	0/1/2	53	floating point compare	`fle/flt/feq.{s,d} x5,f0,f1`	x5← (f0<f1)	Single and double: compare f0 and f1 <=,<,==
{70,71} (rs2=0)	0	53	move between x (integer) and f regs	`fmv.x.{s,d} x5,f0`	x5←f0 (no conversion)	Copy (no conversion)
{78,79} (rs2=0)	0	53	move between f and x regs	`fmv.{s,d}.x f0,x5`	f0←x5 (no conversion)	Copy (no conversion)
imm	2	7	load/store floating point (32bit)	`flw/fsw f0,0(x5)`	f0←MEM[x5] / MEM[x5]←f0	Data from FP register to memory
imm	3	7	load/store floating point (64bit)	`fld/fsd f0,0(x5)`	f0←MEM[x5] / MEM[x5]←f0	Data from FP register to memory
21/20 (rs2=0)	7	53	convert to/from double from/to single	`fcvt.d.s/fcvt.s.d f0,f1`	f0← (double)f1 / f0← (single)f1	Type conversion
{60,61} (rs2=0)	7	53	convert to integer from {single,double}	`fcvt.w.{s,d} x5,f0`	x5← (int)f0	Type conversion
{68,69} (rs2=0)	7	53	convert to {single,double} from integer	`fcvt.{s,d}.w f0,x5`	f0← ({single,double})x5	Type conversion
{2c,2d} (rs2=0)	0	53	square root	`fsqrt.{s,d} f0,f1`	f0← square root of f1	Single or double square root
{10,11}	0/1/2	53	sign injection	`fsgnj/jn/jx.{s,d} f0,f1,f2`	f0←sgn(f2)|f1| / –sgn(f2)|f1| / sgn(f2)f1	Extract the mantissa and exp. from f1 and sign from f2

Register Usage

Register	ABI Name	Usage
x10-x11	**a0-a1**	arguments and results
x9, x18-x27	**s1, s2-s11**	Saved
x5-7, x28-x31	**t0-t2, t3-t6**	Temporaries
x12-x17	**a2-a7**	Arguments

Register	ABI Name	Usage
x0	**zero**	The constant value 0
x8, x2	**s0/fp, sp**	frame pointer, stack pointer
x1, x3	**ra, gp**	return address, global pointer
x4	**tp**	thread pointer

Register	ABI Name	Usage
f10-f11	**fa0-fa1**	Argument and Return values
f8-f9, f18-f27	**fs0-fs1, fs2-fs11**	Saved registers
f0 – f7, f28-f31	**ft0-ft7, ft8-ft11**	Temporaries registers
f12-17	**fa2-fa7**	Function arguments

System calls

Service Name	Serv.No.(a7)	INPUT Arguments	OUTPUT Args
print_int	1	a0=integer to print	---
print_float	2	fa0=float to print	---
print_double	3	fa0=double to print	---
print_string	4	a0=address of ASCIIZ string to print	---
read_int	5	---	a0=integer

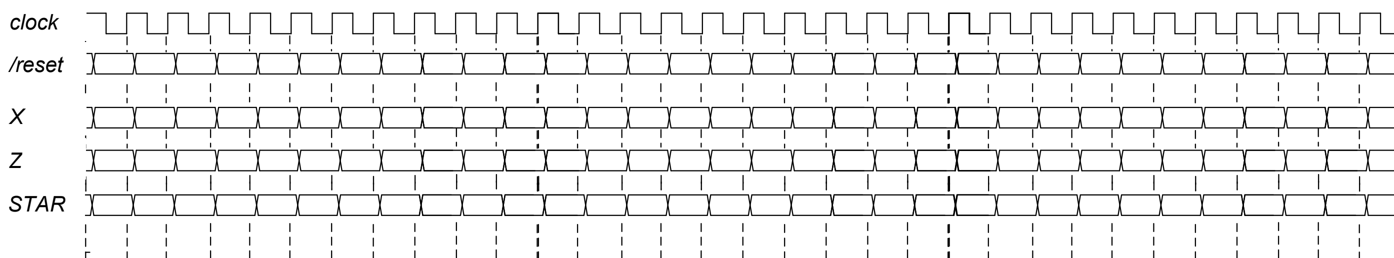
Service Name	Serv.No.(a7)	INPUT Arguments	OUTPUT Arguments
read_float	6	---	fa0=float
read_double	7	---	fa0=double
read_string	8	a0=address of input buffer, a1=max chars to read	---
sbrk	9	a0=Number of bytes to be allocated	a0=pointer to allocated memory
exit	10	---	---

COMPITO di ARCHITETTURA DEI CALCOLATORI del 24-09-2024

2) [6/30] Disegnare l'organizzazione fisica di una memoria DRAM da 16Mbit indicando i collegamenti fra i blocchi CTRL, ROW_LATCHES, COL_LATCHES, ROW_DECODER, COL_DECODER, ROW_BUFFERS, PRECHARGE, TRISTATE e spiegare dettagliatamente lo svolgimento delle operazioni di accesso per scrivere un singolo bit dell'intera memoria DRAM così organizzata (nota bene: NON sono richieste le operazioni all'interno della singola cella di memoria, bensì tutte le operazioni della struttura esterna rispetto alla cella e che coinvolgono i blocchi sopra menzionati).

3) [5/30] Illustrare il procedimento di sintesi manuale secondo la tecnica di Moore relativamente ad un Flip-Flop di tipo JK (indicazione: realizzare le tabelle delle transizioni) e stimare il numero di transistor CMOS necessari alla realizzazione di tale rete.

4) [11/30] Descrivere e sintetizzare in Verilog una rete sequenziale utilizzando il modello di Mealy-Ritardato che realizzi un contatore a 4 bit con reset (attivo basso) che incrementi il conteggio in corrispondenza del fronte in salita del clock avente periodo 10ns. Al reset il valore del conteggio deve essere posto a 0. Il contatore deve inoltre essere realizzato utilizzando il modello di modulo Verilog per Mealy-Ritardato richiamato qua sotto. Il testbench non è fornito: deve essere realizzato dallo studente [2/11 punti].
Tracciare il diagramma di temporizzazione [4/11 punti] corrispondente alla esecuzione del modulo Verilog realizzato, come verifica della correttezza dell'unità. Nota: si puo' svolgere l'esercizio su carta oppure con ausilio del simulatore salvando una copia dell'output (diagramma temporale) e del programma Verilog su USB-drive del docente.
Modello del diagramma temporale da tracciare:



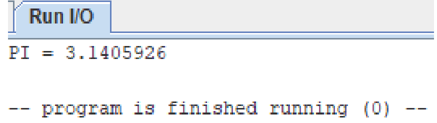

```
module MealyRitardato(x, z,clock,reset_);
  input  clock, reset_;
  input  [N-1:0]  x;
  output [M-1:0]  z;
  reg    [K-1:0]  STAR;
  reg    [K-1:0]  OUTR;
  parameter  S0=codifica0, … , SKmeno1=codificaKmeno1;
  always @(reset_==0) #1 begin STAR<=…; OUTR<= …; end

  assign z=OUTR;
  always @(posedge clock) if (reset_==1) #3
    casex(STAR)
        S0:  begin OUTR<=f0(x);  STAR<=g0(x);  end
        S1:  begin OUTR<=f1(x);  STAR<=g1(x);  end
…
        Skmeno1: begin OUTR<=fKmeno1(x);  STAR<=gKmeno1(x);  end
   endcase
endmodule
```

COMPITO di ARCHITETTURA DEI CALCOLATORI del 24-09-2024

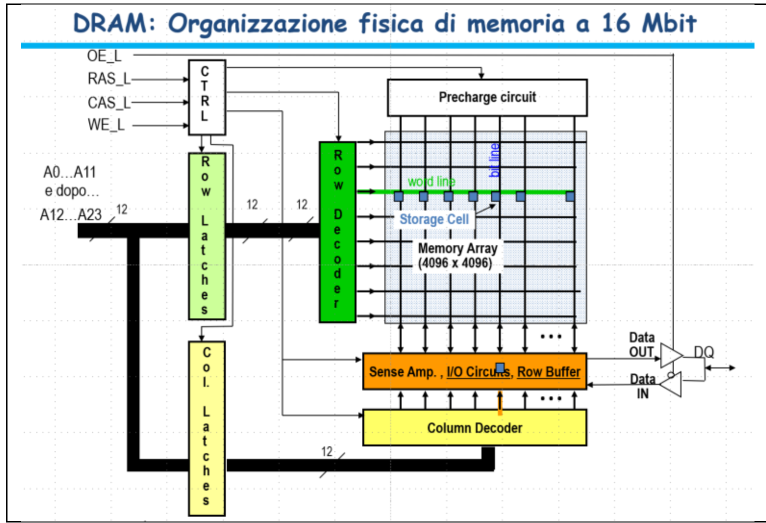
SOLUZIONE

ESERCIZIO 1

```
. .data
pi_str:     .string "PI = "
newline:    .string "\n"

.text
.globl main
calculate_pi:
    # float calculate_pi(int intervals)
    mv t0, a0              # t0 = intervals
    fmv.s.x fa0, zero      # fa0 = pi = 0.0
    li t1, 1               # t1 = sign = 1
    li t2, 0               # t2 = i = 0
calc_loop:
    # if i >= intervals, break
    slt t3, t2, t0         # t3 = (i < intervals)
    beq t3, zero, end_loop# if FALSE, break

    # Calculate (4.0 / (2.0 * i + 1.0))
    li t4, 2               # t4 = 2
    fcvt.s.w fa4, t4       # fa4 = 2.0
    fcvt.s.w fa1, t2       # fa1 = (float) i
    fmul.s fa1, fa1, fa4   # fa1 = 2.0 * i
    li t4, 1
    fcvt.s.w fa2, t4       # fa2 = 1.0
    fadd.s fa1, fa1, fa2   # fa1 = 2.0 * i + 1.0
    li t4, 4
    fcvt.s.w fa2, t4       # fa2 = 4.0
    fdiv.s fa2, fa2, fa1   # fa2 = 4.0 / (2.0*i+1.0)

    # pi += sign * (4.0 / (2.0 * i + 1.0))
    fcvt.s.w fa1, t1       # convert sign to float
    fmul.s fa2, fa2, fa1#fa2=sign*(4.0/(2.0*i+1.0))
    fadd.s fa0, fa0, fa2   # pi += (4.0/(2.0*i+1.0))

    # Alternate signs
    neg     t1,t1          # sign = -sign

    addi t2, t2, 1         # i++
    b calc_loop            # Continue loop
end_loop:
    ret                    # Return to caller

main:
    # Calculate pi
    li a0, 1000            # a0 = 1000 intervals
    call calculate_pi      # (result in fa0)

    # Print "PI = "
    la a0, pi_str          # Load address of pi_str
    li a7, 4               # ECALL for write string
    ecall

    # Print calculated pi
    li a7, 2               # ECALL for write float
    ecall

    # Print newline
    la a0, newline         # Load address of newline
    li a7, 4               # ECALL for write string
    ecall

    # Exit program
    li a0, 0               # exit value
    li a7, 10              # ECALL for exit
    ecall
```

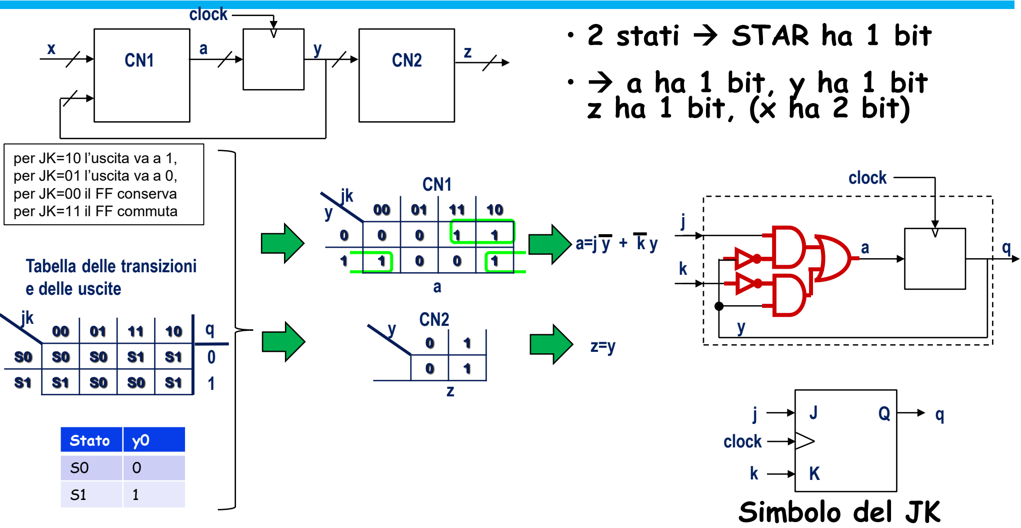


ESERCIZIO 2



- I 24 bit che compongono l'indirizzo vengono inviato in due gruppi di 12 bit ciascuno e memorizzando i 12 bit più significativi ad es. nei ROW_LATCHES e I 12 meno significative nei COL_LATCHES
- **In ogni caso i 24 bit non possono essere utilizzati simultaneamente, in quanto a causa della struttura compatta della cella DRAM deve innanzitutto essere letta una intera riga della matrice 4096x4096 e bufferizzata nel ROW_BUFFER**
- In una fase successiva si possono usare i bit del COL_LATCHES per Selezionare il singolo bit all'interno della riga di 4096 bit bufferizzata
- Una volta selezionato un bit questo può essere scritto dirigendo il valore presente sull'ingresso DQ attraverso opportuna selezione dei tristate buffer (DATA_IN attivo, DATA_OUT disattivo)
- **A questo punto l'intera riga letta nel ROW_BUFFER e aggiornata deve essere riscritta all'interno della matrice di bit.**

ESERCIZIO 3



jk	00	01	11	10	q
S0	S0	S0	S1	S1	0
S1	S1	S0	S0	S1	1

Layout simbolico: 60 transistors
(44 per D-ET + 3*NAND + 2*NOT)

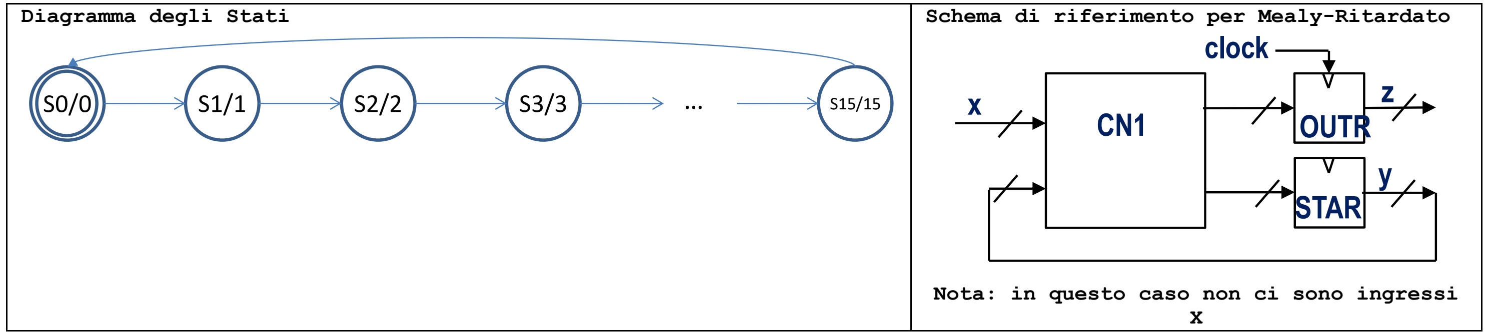
Roberto Giorgi, Università di Siena, C124L06, Slide 15

COMPITO di ARCHITETTURA DEI CALCOLATORI del 24-09-2024

SOLUZIONE

ESERCIZIO 4

In corrispondenza del pattern X_{t-3}, X_{t-2},X_{t-1},X_t = 1,1,1,1 oppure 1,0,0,1 INTERALLACCIATI ottengo → Z_{t+1} = 1; (ricordare che e' richiesto Moore).



Codice Verilog del modulo da realizzare (possibile soluzione con Mealy-Ritardato):

```
module Testbench;
reg reset_; initial begin reset_=0; #7 reset_=1; #300; $stop; end
reg clock; initial clock=0; always #5 clock<=(!clock);
wire[3:0] out;
initial begin wait(reset_==1); #200 $finish; end
Counter4MealyRitardato C4MR(out,  clock, reset_);
endmodule

module Counter4MealyRitardato(z,clock,reset_);
  input  clock, reset_;
  output [3:0]  z;
  reg    [3:0]  STAR;
  reg    [3:0]  OUTR;
  parameter  S0=0, S1=1, S2=2, S3=3, S4=4, S5=5, S6=6, S7=7, S8=8, S9=9, S10=10, S11=11, S12=12, S13=13, S14=14,
S15=15;
  always @(reset_==0) #1 begin STAR<=S0; OUTR<= 'b0000; end

  assign z=OUTR;
  always @(posedge clock) if (reset_==1) #3
    casex(STAR)
        S0:  begin OUTR<='b0000;  STAR<=S1;  end
        S1:  begin OUTR<='b0001;  STAR<=S2;  end
        S2:  begin OUTR<='b0010;  STAR<=S3;  end
        S3:  begin OUTR<='b0011;  STAR<=S4;  end
        S4:  begin OUTR<='b0100;  STAR<=S5;  end
        S5:  begin OUTR<='b0101;  STAR<=S6;  end
        S6:  begin OUTR<='b0110;  STAR<=S7;  end
        S7:  begin OUTR<='b0111;  STAR<=S8;  end
        S8:  begin OUTR<='b1000;  STAR<=S9;  end
        S9:  begin OUTR<='b1001;  STAR<=S10; end
        S10: begin OUTR<='b1010;  STAR<=S11; end
        S11: begin OUTR<='b1011;  STAR<=S12; end
        S12: begin OUTR<='b1100;  STAR<=S13; end
        S13: begin OUTR<='b1101;  STAR<=S14; end
        S14: begin OUTR<='b1110;  STAR<=S15; end
        S15: begin OUTR<='b1111;  STAR<=S0;  end
    endcase
endmodule
```

Diagramma di Temporizzazione: