

DA RESTITUIRE INSIEME AGLI ELABORATI e A TUTTI I FOGLI
 → NON USARE FOGLI NON TIMBRATI
 → ANDARE IN BAGNO PRIMA DELL'INIZIO DELLA PROVA
 → NO FOGLI PERSONALI, NO TELEFONI, SMARTPHONE/WATCH, ETC

COGNOME _____

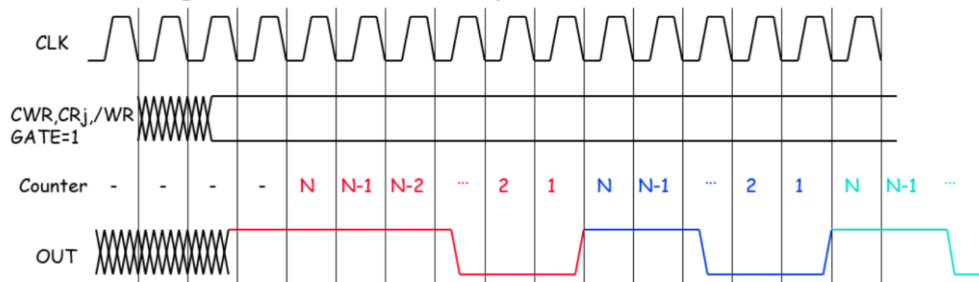
NOME _____

NOTE: I FOGLI UTILIZZATI PER RAGIONAMENTI VANNO RICONSEGNAITI ANCHE SE BIANCHI; PER I FILE ELETTRONICI:

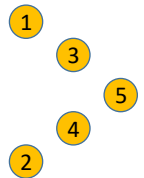
- per l'esercizio 3 consegnare un file di testo di nome <COGNOME>.txt
- per l'esercizio 4 consegnare DUE files: il file del programma VERILOG di nome <COGNOME>.v e il file del diagramma temporale (screenshot o copy/paste) <COGNOME>.png

- 3) [8/30] Spiegare con proprie parole il funzionamento del "Modo 3" del timer 8254, il cui diagramma temporale è riportato in figura. Inoltre, indicare con precisione: i) il significato dei segnali rappresentati in tale diagramma, ii) come deve essere impostata la parola di controllo CWR e il relativo registro di conteggio per ottenere questo diagramma supponendo di utilizzare N=21504 e il contatore n.2 in conteggio binario.

• **Modo 3: generatore d'onda quadra**



- 4) [22/30] Realizzare in Verilog una rete sequenziale secondo il modello di Mealy-Ritardato che accenda 5 led di una "freccia a destra" nel modo seguente: durante il primo ciclo tutte i led sono spenti; nel ciclo successivo si accendono i led 1 e 2, nel secondo ciclo si accendono i led 1,2,3,4; nel ciclo successivo tutti i 5 led sono accesi; poi la sequenza si ripete, cioè al ciclo successivo led tutti spenti, poi 1,2, poi 1,2,3,4 e così via. L'ingresso X su un bit è un interruttore generale che indica con X=1 che i led (governati dall'uscita Z su 3 bit) si accendono secondo la sequenza descritta, se X=0 tutti i led devono stare spenti. Tracciare il diagramma di temporizzazione come verifica della correttezza dell'unità riportando i segnali clock, /reset, ingresso X, uscita Z, registro di stato STAR.



Utilizzare il testbench allegato, **tracciare il diagramma di temporizzazione [11 punti su 30]** come verifica della correttezza del modulo realizzato.

```

`timescale 100ms/1ms
module TopLevel;
reg reset_;initial begin reset_=0; #22 reset_=1; #300; $stop; end
reg clock ;initial clock =0; always #5 clock <=!clock);
reg x; initial begin x=0; #40 x=1; #260 $finish; end
wire[1:0] STAR = Xxx.STAR;
wire[2:0] z=Xxx.z;
XXX Xxx(x, z, clock, reset_);
Endmodule
    
```

Il diagramma temporale deve rappresentare i seguenti segnali:

