

DA RESTITUIRE INSIEME AGLI ELABORATI e A TUTTI I FOGLI
 → NON USARE FOGLI NON TIMBRATI
 → ANDARE IN BAGNO PRIMA DELL'INIZIO DELLA PROVA
 → NO FOGLI PERSONALI, NO TELEFONI, SMARTPHONE/WATCH, ETC

COGNOME _____

NOME _____

NOTE: I FOGLI UTILIZZATI PER RAGIONAMENTI VANNO RICONSEGNA TI ANCHE SE BIANCHI; PER I FILE ELETTRONICI:

- per l'esercizio 3 consegnare un file di testo di nome <COGNOME>.txt
- per l'esercizio 4 consegnare DUE files: il file del programma VERILOG di nome <COGNOME>.v
 e il file del diagramma temporale (screenshot o copy/paste) <COGNOME>.png

- 3) [3/20] Fornendo una spiegazione ragionata, con il dettaglio del significato dei vari bit per il formato dell'istruzione, determinare a quale istruzione assembly RISC-V corrisponde la seguente stringa binaria (codice macchina)

0010 1100 1010 0110 1011 1001 1010 0011

ricordando che i codici operativi (opcode/funct3/funct7 in esadecimale) delle principali istruzioni viste sono:
 ADD: 33/0/00, LD: 03/3/imm, SD: 23/3/imm, BEQ: 63/0/(imm÷2), LUI: 37/imm[31:12], SLT: 33/2/0

- 4) [17/20] Descrivere e sintetizzare in Verilog una rete che realizzi un "Contatore a 3 bit" in grado di contare verso l'alto o verso il basso a seconda che il valore dell'ingresso X sia rispettivamente 0 o 1.

Il contatore usa internamente la codifica di Gray dello stato ovvero varia il suo stato interno varia secondo la sequenza 000, 001, 011, 010, 110, 111, 101, 100, mentre l'uscita Z (su 3 bit) rappresenta il valore corrispondente all'intero da 0 a 7 nell'ordine naturale (al codice Gray 011 corrisponde 2, a 010 corrisponde 3 e così via).

Utilizzando il testbench allegato, tracciare il diagramma di temporizzazione [9 punti su 17] come verifica della correttezza del modulo realizzato.

```

module Testbench;
  reg reset_; initial begin reset_ = 0; #22 reset_ = 1; end
  reg clock ;initial begin clock = 0; forever #5 clock <= (!clock); end
  reg X;
  wire[2:0] Z = ud3g.z;
  wire[2:0] STAR = ud3g.STAR;
  initial begin X = 0; wait(reset_ == 1);
    #50 X = 0; #20 X = 1; #50 X = 0; #20 X = 1; #50 $finish;
  end
  UPDOWN3BITGRAY ud3g(X, clock, reset_, Z);
endmodule

```

Il diagramma temporale deve rappresentare i seguenti segnali:

