

- 1) Si spieghi la differenza fra la gestione dell'I/O con le tecniche a polling, ad interrupt e in DMA, considerando un esempio specifico in cui ognuna di tali tecniche si comporta in maniera ottimale rispetto alle altre.
- 2) Si consideri una cache di dimensione 128B e a 4 vie di tipo write-back. La dimensione del blocco e' 16 byte, il tempo di accesso alla cache e' 5 ns e la penalita' in caso di miss e' pari a 60 ns, la politica di rimpiazzamento e' LRU. Il processore effettua i seguenti accessi in cache, ad indirizzi al byte: 22, 71, 65, 143, 81, 17, 133, 61, 190, 211, 212, 210, 115, 98, 275, 64, 259, 130, 61, 67, 70, 25. Tali accessi sono alternativamente letture e scritture. Per la sequenza data, ricavare il tempo medio di accesso alla cache, riportare i tag contenuti in cache al termine e la lista dei blocchi (ovvero il loro indirizzo) via via eliminati durante il rimpiazzamento.
- 2alt) Si consideri un sistema bi-processore in cui la cache di ciascun processore ha le stesse caratteristiche della domanda 2) e si supponga che mentre il processore P1 usa la sequenza di accessi della domanda 2), il processore P2 usi la sequenza di accessi letta in ordine inverso (dall'ultimo accesso verso il primo). P2 inizierà un accesso immediatamente dopo che P1 ne ha iniziato ognuno della sua lista. Supponendo che la coerenza venga gestita attraverso il protocollo MESI, riportare per ognuno dei processori il contenuto dei tag contenuti in cache e per ognuno di essi lo stato (M, E, S, oppure I).