

Guida Esercitazione del 17-Ott-2019

Obiettivo dell'esercitazione:

Adattare il modulo Verilog scritto per il processore MIPS (a 32 bit) per il processore RISC-V (a 64 bit). I moduli adattati, dovranno essere compilabili dal Verilogger e il testbench dovrà essere anch'esso adattato in modo da mostrare il corretto funzionamento del modulo (vedere snapshot in formato PNG presenti nello stesso file del processore MIPS per ogni blocco verilog).

Per questa guida esempio, assumiamo di voler modificare il modulo **“adder”**.

Modifica del codice:

1. Scaricare la cartella con la descrizione in Verilog dei moduli per processore MIPS a questo link:
<http://www.dii.unisi.it/~giorgi/didattica/esercitazioni/esercitazioni120/cpumips.zip>
2. Decomprimendo il file cpumips.zip, verrà creata la cartella “cpumips”
3. Nella cartella “cpumips” sono presenti:
 - a. file verilog (.v) (HDL File) di ogni modulo per il processore MIPS (32-bit)
 - b. Snapshots del Timing Diagram risultante
4. Copiare e rinominare il file verilog .v (e.g., cpumips02-adder.v in cpuriscv-adder.v)
5. Aprire il simulatore Verilogger in modalità **“VeriLogger”** ed eseguire i seguenti passi:
 - a. importare nel simulatore Verilogger il file HDL (.v): cpuriscv-adder.v
 - b. modificare il modulo e il testbench rispettando le specifiche del processore RISC-V (NOTA BENE: la specifica per processore MIPS è 32-bit, mentre quella per RISC-V dovrà essere 64-bit)
 - c. salvare il progetto il progetto HDL (e.g., cpuriscv-adder.hpj)
 - d. compilare ed eseguire il progetto
 - e. verificare il corretto funzionamento del modulo attraverso il Timing Diagram risultante.

(E' disponibile una guida grafica dettagliata per l'utilizzo del tool Verilogger al seguente link: <http://www.dii.unisi.it/~giorgi/didattica/lezioni/lezioni120/c120es01-verilogtools.pdf>)

Presentazione in aula il giorno 17 Ottobre 2019

Ciascun gruppo descriverà il codice Verilog e il Timing Diagram del modulo RISC-V implementato. I gruppi possono utilizzare PowerPoint o Latex per le presentazioni.