

1) Si disegni con precisione il ciclo di lettura di una DRAM riportando i segnali RAS_L, CAS_L, DQ, A, WE_L, OE_L nel caso "late read". Indicare nella figura i tempi t_{RC} , t_{RAC} , t_{PC} discutendone brevemente il significato.

2) Si consideri una cache di dimensione 192B e a 3 vie di tipo write-back. La dimensione del blocco e' 16 byte, il tempo di accesso alla cache e' 5 ns e la penalita' in caso di miss e' pari a 60 ns, la politica di rimpiazzamento e' LRU. Il processore effettua i seguenti accessi in cache, ad indirizzi al byte: 22, 71, 65, 143, 81, 17, 133, 61, 190, 211, 212, 210, 115, 98, 275, 64, 259, 130, 61, 67, 70, 25.

Tali accessi sono alternativamente letture e scritture. Per la sequenza data, ricavare il tempo medio di accesso alla cache, riportare i tag contenuti in cache al termine e la lista dei blocchi (ovvero il loro indirizzo) via via eliminati durante il rimpiazzamento.

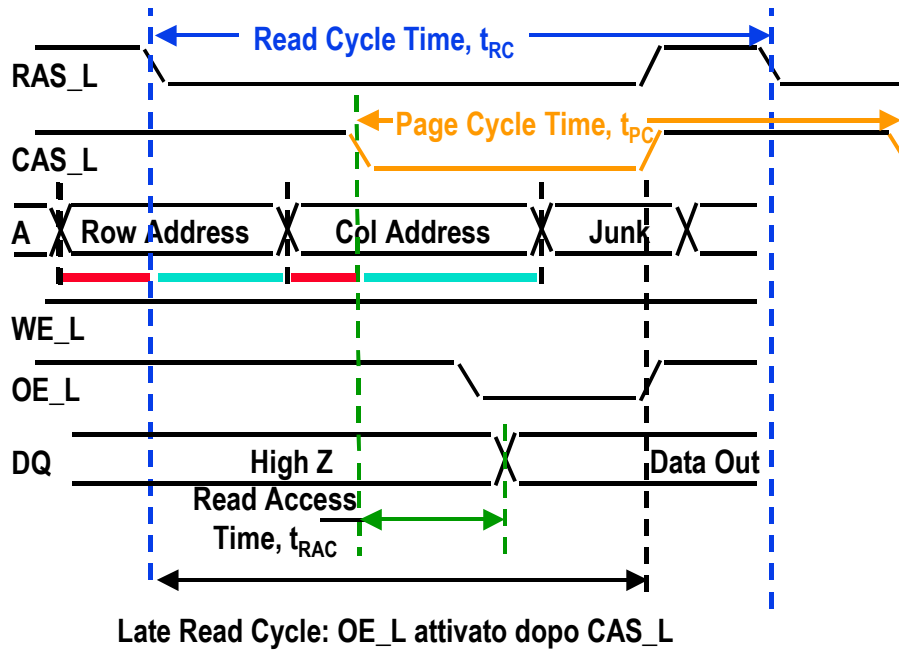
1) Nel seguente diagramma relative ad un ciclo di lettura "late read":

t_{RC} : tempo minimo fra due accessi a righe

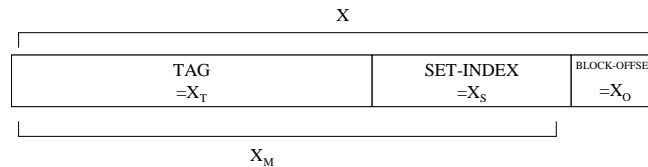
t_{RAC} : tempo minimo fra discesa di RAS e dati validi

t_{PC} : tempo minimo fra l'inizio dell'accesso a una colonna e l'inizio dell'accesso alla colonna successiva

Il tempo di accesso della DRAM, riportato tipicamente come "velocita' della DRAM e' t_{RAC} .



2) Sia X il generico riferimento, A=associativita'=3, B=dimensione del blocco=16, C=capacita' della cache=192.



Si ricava $S=C/B/A=\#$ di set della cache=192/16/3=4, $X_M=X/B$, $X_S=X_M\%S$, $X_T=X_M/S$:

=== T	X	X _M	X _T	X _S	X _B	H	[SET]:USAGE	[SET]:MODIF	[SET]:TAG
=== R	22	1	0	1	6	0	[1]:2,0,0	[1]:0,0,0	[1]:0,-,-
=== W	71	4	1	0	7	0	[0]:2,0,0	[0]:0,0,0	[0]:1,-,-
=== R	65	4	1	0	1	1	[0]:2,0,0	[0]:0,0,0	[0]:1,-,-
=== W	143	8	2	0	15	0	[0]:1,2,0	[0]:0,0,0	[0]:1,2,-
=== R	81	5	1	1	1	0	[1]:1,2,0	[1]:0,0,0	[1]:0,1,-
=== W	17	1	0	1	1	1	[1]:2,1,0	[1]:1,0,0	[1]:0,1,-
=== R	133	8	2	0	5	1	[0]:1,2,0	[0]:0,0,0	[0]:1,2,-
=== W	61	3	0	3	13	0	[3]:2,0,0	[3]:0,0,0	[3]:0,-,-
=== R	190	11	2	3	14	0	[3]:1,2,0	[3]:0,0,0	[3]:0,2,-
=== W	211	13	3	1	3	0	[1]:1,0,2	[1]:1,0,0	[1]:0,1,3
=== R	212	13	3	1	4	1	[1]:1,0,2	[1]:1,0,0	[1]:0,1,3
=== W	210	13	3	1	2	1	[1]:1,0,2	[1]:1,0,1	[1]:0,1,3
=== R	115	7	1	3	3	0	[3]:0,1,2	[3]:0,0,0	[3]:0,2,1
=== W	98	6	1	2	2	0	[2]:2,0,0	[2]:0,0,0	[2]:1,-,-
=== R	275	17	4	1	3	0	[1]:0,2,1	[1]:1,0,1	[1]:0,4,3
=== W	64	4	1	0	0	1	[0]:2,1,0	[0]:1,0,0	[0]:1,2,-
=== R	259	16	4	0	3	0	[0]:1,0,2	[0]:0,0,0	[0]:1,2,4
=== W	130	8	2	0	2	1	[0]:0,2,1	[0]:1,1,0	[0]:1,2,4
=== R	61	3	0	3	13	1	[3]:2,0,1	[3]:0,0,0	[3]:0,2,1
=== W	67	4	1	0	3	1	[0]:2,1,0	[0]:1,1,0	[0]:1,2,4
=== R	70	4	1	0	6	1	[0]:2,1,0	[0]:1,1,0	[0]:1,2,4
=== W	25	1	0	1	9	1	[1]:2,1,0	[1]:1,0,1	[1]:0,4,3

Lista blocchi uscenti

(out: X_M=5 X_T=1 X_S=1)

Situazione finale della cache

Si ricava quindi che il tempo medio di accesso alla cache e' pari a:

$$AMAT = t_{hit} + t_{penalty} * m = t_{hit} + t_{penalty} * (N_{miss}/N_{ref}) = 5 + 60 * 11/22 = 35 \text{ ns.}$$